(19) JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2000215108 A

(43) Date of publication of application: 04.08.00

(51) Int. Cl G06F 12/14
G06F 15/78
H01L 27/115
H01L 21/8247
H01L 29/788
H01L 29/792

(21) Application number: 11014458

(22) Date of filing: 22.01.99

(71) Applicant: TOSHIBA CORP

(72) Inventor: KASAI HISAMICHI

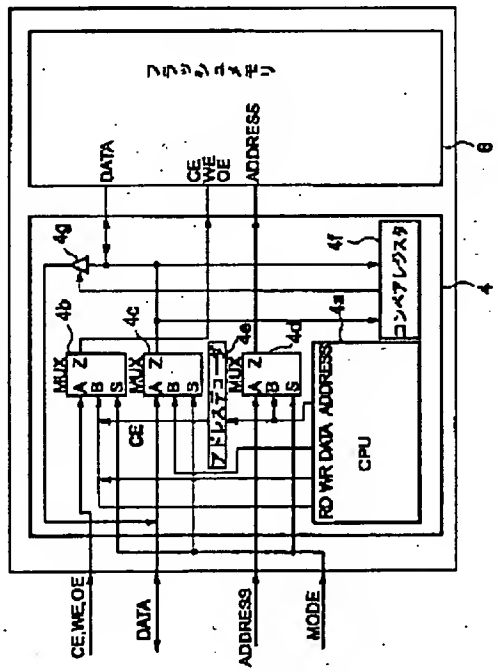
(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor integrated circuit which can provide a security function for a memory chip in the semiconductor integrated circuit having an MCP formed by mounting a memory chip and a CPU chip on one package.

SOLUTION: In a semiconductor circuit(MCP) having the flash memory chip 6 and CPU chip 4 mounted on one package, a signature code read out of the flash memory chip 6 and a security resetting data inputted from an outside are compared by a comparison register 4f. Only when they match each other, a tri-state buffer 4g enables the flash memory chip 6 to be read.

COPYRIGHT: (C)2000,JPO



Best Available Copy

Best Available Copy

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（A）　(11)特許出願公開番号
特開2000－215108
（P2000－215108A）
(43)公開日　平成12年８月４日(2000.8.4)

(51)Int.Cl.'		識別記号	FI		テーマコード'（参考）
G06F	12/14	320	G06F 12/14	320C	5B017
	15/78	510	15/78	510C	5B062
				510F	5F001
H01L	27/115		H01L 27/10	434	5F083
	21/8247		29/78	371	

審査請求　未請求　請求項の数３　ＯＬ　（全 5 頁）　最終頁に続く

(21)出願番号　特願平11－14458

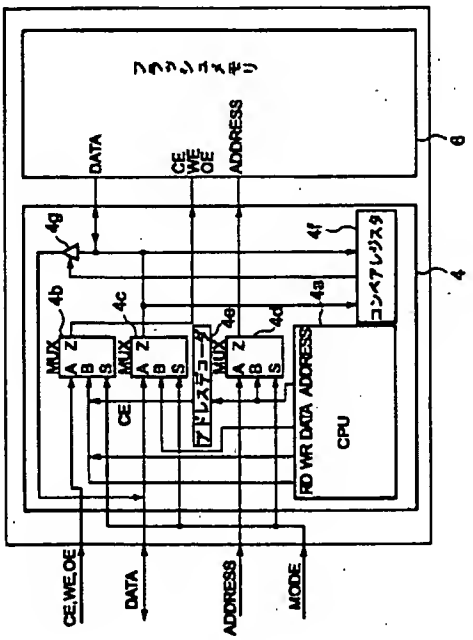
(22)出願日　平成11年１月22日(1999.1.22)

(71)出願人　000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地
(72)発明者　葛西　央倫
神奈川県川崎市幸区堀川町580番１号　株式会社東芝半導体システム技術センター内
(74)代理人　100058479
弁理士　鈴江　武彦　（外６名）

Ｆターム(参考)　5B017 AA03 BA01 BA09 BB03 CA11
CA12
5B062 AA07 CC01 DD10 EE09
5F001 AG40 AH10
5F083 ER21 GA30 ZA12 ZA13 ZA23

(54)【発明の名称】　半導体集積回路

(57)【要約】
【課題】メモリチップとＣＰＵチップを１つのパッケージに実装してＭＣＰを形成した半導体集積回路において、メモリチップに対してセキュリティ機能を設けることができる半導体集積回路を提供する。
【解決手段】フラッシュメモリチップ６とＣＰＵチップ４とを１つのパッケージに実装した半導体集積回路（ＭＣＰ）において、フラッシュメモリチップ６から読み出したシグネチャコードと、外部から入力されたセキュリティ解除用データとがコンペアレジスタ４ｆにより比較される。そして、コンペアレジスタ４ｆによる比較結果が一致した場合のみ、トライステイトバッファ４ｇによってフラッシュメモリチップ６に対する読み出しが許可される。



【特許請求の範囲】

【請求項１】　不揮発性メモリチップとロジックＩＣチップを１つのパッケージに実装した半導体集積回路（ＭＣＰ）において、

前記不揮発性メモリチップに予め記憶された参照用データと外部から入力された照合用データを比較する比較手段と、

前記比較手段による比較結果に応じて、前記不揮発性メモリチップに記憶されたデータの読み出しを許可あるいは禁止する許可手段と、

を具備することを特徴とする半導体集積回路。

【請求項２】　パッケージに実装され、第１のデータを記憶する不揮発性メモリチップと、

外部から入力される第２のデータと前記第１のデータとを比較する比較手段と、

前記比較手段による比較結果に応じて、前記不揮発性メモリチップに記憶されたデータの読み出しを許可あるいは禁止する許可手段と、

前記比較手段と前記許可手段を有し、前記不揮発性メモリチップが実装されたパッケージと同一のパッケージに実装されたロジックＩＣチップと、

を具備することを特徴とする半導体集積回路。

【請求項３】　前記ロジックＩＣチップは、ＭＰＵ（マイクロプロセッサ）、ＣＰＵあるいはＭＣＵ（メモリコントロールユニット）であることを特徴とする請求項１または２のいずれかに記載の半導体集積回路。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】この発明は、半導体集積回路のセキュリティに関し、特に不揮発性メモリチップとＭＰＵ（マイクロプロセッサ）チップ等を同一のパッケージに実装した半導体集積回路（ＭＣＰ）のセキュリティに関するものである。

【０００２】

【従来の技術】近年、基板及び実装技術の進歩により、ＭＣＰ（Multi Chip Package）やＭＣＭ（Multi Chip Module）と呼ばれる、複数のチップを１つのパッケージに実装（１パッケージ化）する技術が開発されている。

【０００３】このＭＣＰのメリットとしては、まず開発の容易さを挙げることができる。既存のチップをわずかな修正で様々なチップと１パッケージ化できることより、製品開発を容易に行うことができる。また、プロセス的にも有効であり、不揮発性メモリチップとＭＰＵチップ（あるいはＣＰＵ（Central Processing Unit）チップ、ＭＣＵ（Memory Control Unit）チップ）を１パッケージ化したＭＣＰのケースで考えると、メモリーロジック混載技術が不要になるなど、様々なメリットが考えられる。

【０００４】

【発明が解決しようとする課題】ここでは、不揮発性メモリ（以下、ＮＶメモリ）チップとＣＰＵチップを１パッケージ化したＭＣＰを例に取り、その課題を説明する。

【０００５】例えば、ＮＶメモリチップを他社開発汎用品、ＣＰＵチップを既存自社開発品とする。この場合、ＣＰＵチップに対してＮＶメモリチップのＩ／Ｆを付加しＭＣＰ化すると、ＮＶメモリチップの仕様が理解できるユーザが利用した場合、このＮＶメモリチップに対してのセキュリティ機能が働かなくなってしまう。

【０００６】そこでこの発明は、前記課題に鑑みてなされたものであり、メモリチップとＣＰＵチップを１つのパッケージに実装してＭＣＰを形成した半導体集積回路において、ＣＰＵチップのわずかな変更により、メモリチップに対してセキュリティ機能を設けることができる半導体集積回路を提供することを目的とする。

【０００７】

【課題を解決するための手段】前記目的を達成するために、この発明に係る半導体集積回路は、不揮発性メモリチップとロジックＩＣチップを１つのパッケージに実装した半導体集積回路（ＭＣＰ）において、前記不揮発性メモリチップに予め記憶された参照用データと外部から入力された照合用データを比較する比較手段と、前記比較手段による比較結果に応じて、前記不揮発性メモリチップに記憶されたデータの読み出しを許可あるいは禁止する許可手段とを具備することを特徴とする。

【０００８】また、この発明に係る半導体集積回路は、不揮発性メモリチップとロジックＩＣチップを１つのパッケージに実装した半導体集積回路（ＭＣＰ）において、前記不揮発性メモリチップに予め記憶された参照用データと外部から入力された照合用データを比較する比較手段と、前記比較手段による比較結果が一致したとき前記不揮発性メモリチップに記憶されたデータの読み出しを許可し、一致しないとき前記データの読み出しを禁止する手段とを具備することを特徴とする。

【０００９】また、この発明に係る半導体集積回路は、パッケージに実装され、第１のデータを記憶する不揮発性メモリチップと、外部から入力される第２のデータと前記第１のデータとを比較する比較手段と、前記比較手段による比較結果に応じて、前記不揮発性メモリチップに記憶されたデータの読み出しを許可あるいは禁止する許可手段と、前記比較手段と前記許可手段を有し、前記不揮発性メモリチップが実装されたパッケージと同一のパッケージに実装されたロジックＩＣチップとを具備することを特徴とする。

【００１０】また、この発明に係る半導体集積回路は、不揮発性メモリチップとロジックＩＣチップを１つのパッケージに実装した半導体集積回路（ＭＣＰ）において、前記不揮発性メモリチップに予め記憶されたシグネチャコードと外部から入力された照合用データを比較する比較手段と、前記比較手段による比較結果が一致した

とき前記不揮発性メモリチップに記憶されたデータの読み出しを許可し、比較結果が一致しないとき前記不揮発性メモリチップに記憶されたデータの読み出しを禁止する手段とを具備することを特徴とする。

【００１１】

【発明の実施の形態】以下、図面を参照してこの発明の実施の形態の半導体集積回路について説明する。以下の実施の形態では、ＣＰＵが形成されたＣＰＵチップとフラッシュメモリが形成されたフラッシュメモリチップを、１つのパッケージに実装してＭＣＰ（Multi Chip Package）とした場合を例として説明する。

【００１２】図１は、この発明の実施の形態のＭＣＰの外観を示す概略図である。なお、この図では、パッケージ上を被覆する前の状態を示している。

【００１３】図１に示すように、基板２上には、ＣＰＵが形成されたＣＰＵチップ４と、フラッシュメモリが形成されたフラッシュメモリチップ６が実装されている。

【００１４】ＣＰＵチップ４上にはパッド８が配置され、フラッシュメモリチップ６上にはパッド１０が配置されている。基板２の周辺部には外部接続用のパッド１２が配置され、ＣＰＵチップ４とフラッシュメモリチップ６との間にはこれらを接続するために用いるパッド１４が配置されている。そして、ＣＰＵチップ４上のパッド８と外部接続用のパッド１２との間、フラッシュメモリチップ６上のパッド１０と外部接続用のパッド１２との間、及びＣＰＵチップ４とフラッシュメモリチップ６間のパッド１４間には、これらを電気的に接続するボンディングワイヤ１６が形成されている。

【００１５】次に、この発明の実施の形態のＭＣＰの構成について説明する。

【００１６】図２は、この発明の実施の形態のＭＣＰのブロックダイヤグラムを示す図である。なおここでは、フラッシュメモリチップは、セキュリティ機能を持たない汎用品とする。

【００１７】ＭＣＰには、ＣＰＵチップ４、フラッシュメモリチップ６、及び第１～第４の外部端子が設けられている。ＣＰＵチップ４内には、ＣＰＵ４ａ、マルチプレクサ（以下ＭＵＸ）４ｂ～４ｄ、アドレスデコーダ４ｅ、コンペアレジスタ４ｆ、トライステイトバッファ４ｇが設けられている。第１外部端子からは“ＣＥ、ＷＥ、ＯＥ”が入力され、第２外部端子からは“ＤＡＴＡ”が入力される。第３外部端子からは“ADDRESS”が入力され、第４外部端子からは“ＭＯＤＥ”が入力される。

【００１８】まず、ＭＣＰでは、フラッシュメモリチップ６内に形成されたフラッシュメモリに対して外部（ライターなど）から書き込み、消去、読み出しなどが制御できる必要がある。このため、フラッシュメモリに対して入力信号“ＣＥ、ＷＥ、ＯＥ、ADDRESS、ＤＡＴＡ”を外部から入力できる経路と、ＣＰＵを介して“ＣＥ、ＷＥ、ＯＥ、ADDRESS、ＤＡＴＡ”の入力を制御できる経路を設ける。

【００１９】外部から“ＭＯＤＥ”＝“１”がＭＵＸ４ｂ～４ｄのセレクト（Ｓ）端子に入力された場合、ＭＵＸ４ｂ～４ｄのＡ端子に入力された“ＣＥ、ＷＥ、ＯＥ、ADDRESS、ＤＡＴＡ”がＭＵＸ４ｂ～４ｄの出力（Ｚ）端子からフラッシュメモリに供給される。

【００２０】また、“ＭＯＤＥ”＝“０”がＭＵＸ４ｂ～４ｄのセレクト（Ｓ）端子に入力された（ＣＰＵモード）場合、ＣＰＵ４ａからアドレスデコーダ４ｅを介してＭＵＸ４ｂのＢ端子に入力された“ＣＥ”が出力（Ｚ）端子からフラッシュメモリに供給される。同様に、ＣＰＵ４ａからＭＵＸ４ｂのＢ端子に入力された“ＷＥ（ＷＲ）、ＯＥ（ＲＤ）”が出力（Ｚ）端子からフラッシュメモリに供給され、ＣＰＵ４ａからＭＵＸ４ｃ、４ｄのＢ端子に入力された“ＤＡＴＡ、ADDRESS”が出力（Ｚ）端子からフラッシュメモリに供給される。

【００２１】次に、このＭＣＰが有するセキュリティ機能について説明する。

【００２２】ＣＰＵチップ４内に設けられたコンペアレジスタ４ｆにフラッシュメモリから第１のデータを入力し、外部から第２のデータを入力する。コンペアレジスタ４ｆは、第１のデータと第２のデータを比較して比較結果に応じた出力信号をトライステイトバッファ４ｇに出力する。トライステイトバッファ４ｇは、このコンペアレジスタ４ｆの出力信号が“１”か“０”かによりセキュリティ機能を働かせるか否かを切り換える。このセキュリティ機能の詳細は次のようになっている。

【００２３】まず、フラッシュメモリに予め記憶されているシグネチャコードがフラッシュメモリの第１端子から出力されて、コンペアレジスタ４ｆに入力される。また、外部からは入力コードが、ＭＵＸ４ｃを介してコンペアレジスタ４ｆに入力される。

【００２４】入力されたこれらのシグネチャコードと入力コードは、コンペアレジスタ４ｆにより比較され、一致した場合はコンペアレジスタ４ｆから“１”が出力される。コンペアレジスタ４ｆから出力された“１”がトライステイトバッファ４ｇに入力されると、外部へのデータ出力が許可され、フラッシュメモリに記憶されているデータがこのトライステイトバッファ４ｇを介して外部に出力される。

【００２５】一方、シグネチャコードと入力コードが一致しない場合は、コンペアレジスタ４ｆから“０”が出力される。この“０”がトライステイトバッファ４ｇに入力されると、外部へのデータ出力が禁止され、フラッシュメモリに記憶されているデータの出力はトライステイトバッファ４ｆにより遮断される。

【００２６】すなわち、フラッシュメモリに記憶されているシグネチャコードと外部から入力される入力コードがコンペアレジスタにより比較され、シグネチャコード

と入力コードが一致したときは外部へのデータ出力を有効とし、シグネチャコードと入力コードが一致しないときは外部へのデータ出力を禁止する。以上により、外部へのデータ出力を、正当なユーザに対しては許可し、不当なユーザに対しては禁止するというセキュリティ機能を実現する。

【００２７】以上説明したようにこの実施の形態によれば、ＣＰＵチップにわずかな修正を加えることにより、すなわち、不揮発性メモリチップに予め記憶された参照用データと外部から入力される照合用データ（セキュリティ解除用データ）とを比較するコンペアレジスタと、このコンペアレジスタの比較結果に応じてデータの出力を許可状態に、あるいは禁止状態に切り換えるトライステイトバッファとを備えることにより、不揮発性メモリチップとＣＰＵチップを１パッケージ化したＭＣＰに対してセキュリティ機能を設けることができ、不揮発性メモリチップからデータが不正に読み出されるのを防止することができる。

【００２８】

【発明の効果】以上述べたように本発明によれば、メモリチップとＣＰＵチップを１つのパッケージに実装して

ＭＣＰを形成した半導体集積回路において、ＣＰＵチップのわずかな変更により、メモリチップに対してセキュリティ機能を設けることができる半導体集積回路を提供することが可能である。

【図面の簡単な説明】

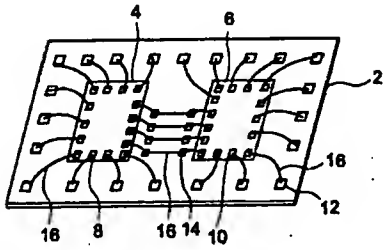
【図１】この発明の実施の形態の半導体集積回路（ＭＣＰ）の外観を示す概略図である。

【図２】この発明の実施の形態の半導体集積回路（ＭＣＰ）ＭＣＰのブロックダイヤグラムを示す図である。

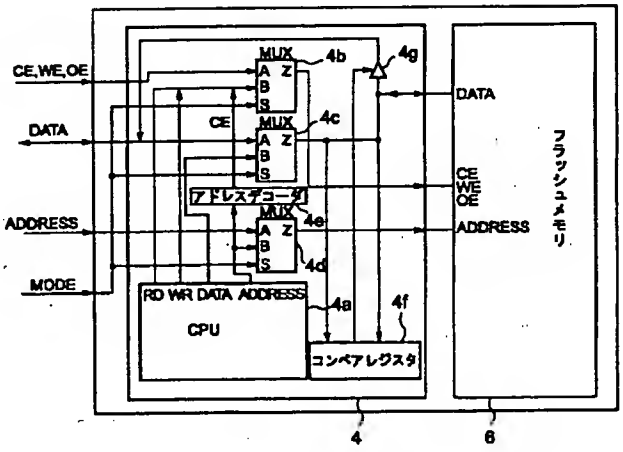
【符号の説明】

２…基板
４…ＣＰＵチップ
６…フラッシュメモリチップ
８、１０、１２、１４…パッド
１６…ボンディングワイヤ
４ａ…ＣＰＵ
４ｂ～４ｄ…マルチプレクサ（以下ＭＵＸ）
４ｅ…アドレスデコーダ
４ｆ…コンペアレジスタ
４ｇ…トライステイトバッファ

【図１】



【図２】



フロントページの続き

(51)Int.Cl.[7]	識別記号	ＦＩ	ﾃｰﾏｺｰﾄﾞ(参考)
Ｈ０１Ｌ 29/788			
29/792			

This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☑ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☑ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.
As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.